

#5/18-18-01
Date

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

986 U.S. PTO
09/844481
04/27/01

In re application of

Yasuhiko ONISHI et al.

Serial No.: NEW APPLICATION

Filed: April 27, 2001

For: LATERAL SUPER-JUNCTION SEMICONDUCTOR DEVICE

CLAIM FOR PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. § 119 is hereby claimed:

JAPAN 2000-127021 April 27, 2000

In support of this claim, a certified copy of said original foreign application is filed herewith. It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

04/27/01
Date

Marc A. Rossi
Marc A. Rossi
Registration No. 31,923

Attorney Docket: FUJI:185

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

U.S. PTO
09/844481
04/27/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2 0 0 0 年 4 月 2 7 日

出 願 番 号
Application Number:

特 願 2 0 0 0 - 1 2 7 0 2 1

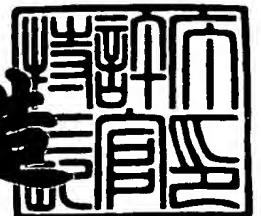
出 願 人
Applicant (s):

富士電機株式会社

2 0 0 0 年 1 2 月 1 5 日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2 0 0 0 - 3 1 0 4 5 0 2

【書類名】 特許願

【整理番号】 00P00313

【提出日】 平成12年 4月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内

【氏名】 大西 泰彦

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内

【氏名】 藤平 龍彦

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内

【氏名】 岩本 進

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内

【氏名】 佐藤 高広

【特許出願人】

【識別番号】 000005234

【氏名又は名称】 富士電機株式会社

【代理人】

【識別番号】 100088339

【弁理士】

【氏名又は名称】 篠部 正治

【手数料の表示】

【予納台帳番号】 013099

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715182

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 横型超接合半導体素子

【特許請求の範囲】

【請求項 1】 半導体基板の一方の主面に設けられた二つの主電極と、その主電極間に、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列 p n 層を備える横型超接合半導体素子において、並列 p n 層が一つの主電極を取り囲む閉ループをなすことを特徴とする横型超接合半導体素子。

【請求項 2】 第一導電型ドリフト領域と第二導電型仕切領域とを交互に配置した並列 p n 層が、第一導電型ドリフト領域と第二導電型仕切領域とを第一のピッチで配置した第一の部分と、第一のピッチと異なる第二のピッチで配置した第二の部分とを有することを特徴とする請求項 1 記載の記載の横型超接合半導体素子。

【請求項 3】 並列 p n 層が直線部分と曲線部分とからなることを特徴とする請求項 1 または 2 に記載の横型超接合半導体素子。

【請求項 4】 並列 p n 層が二つ以上の直線部分と、二つ以上の曲線部分とからなることを特徴とする請求項 3 に記載の横型超接合半導体素子。

【請求項 5】 並列 p n 層が四つ以上の直線部分と、四つ以上の曲線部分とからなることを特徴とする請求項 4 に記載の横型超接合半導体素子。

【請求項 6】 並列 p n 層の直線部分が第一のピッチで配置され、曲線部分が第二のピッチで配置されることを特徴とする請求項 3 ないし 5 のいずれかに記載の横型超接合半導体素子。

【請求項 7】 第一のピッチが第二のピッチと同等以上であることを特徴とする請求項 6 に記載の横型超接合半導体素子。

【請求項 8】 曲線部分の並列 p n 層の不純物濃度が、直線部分の不純物濃度より実効的に低濃度であることを特徴とする請求項 6 または 7 に記載の横型超接合半導体素子。

【請求項 9】 曲線部分の並列 p n 層の不純物濃度が、実効的にイントリンシックに近いことを特徴とする請求項 8 に記載の横型超接合半導体素子。

【請求項 1 0】曲線部分の並列 p n 層が第一導電型不純物と第二導電型不純物の両方がドーピングされていることを特徴とする請求項 8 または 9 に記載の横型超接合半導体素子。

【請求項 1 1】並列 p n 層の曲線部分の少なくとも一部のピッチが、直線部分のピッチより大きいことを特徴とする請求項 8 ないし 1 0 のいずれかに記載の横型超接合半導体素子。

【請求項 1 2】曲線部分の少なくとも一部の長さが直線部分の長さより大きいことを特徴とする請求項 1 ないし 1 1 のいずれかに記載の横型超接合半導体素子。

【請求項 1 3】複数の並列 p n 層の閉ループを有することを特徴とする請求項 1 ないし 1 2 のいずれかに記載の横型超接合半導体素子。

【請求項 1 4】第一導電型ドリフト領域または第二導電型仕切り領域の幅が、深さの $1/4 \sim 4$ 倍の範囲にあることを特徴とする請求項 1 ないし 1 3 のいずれかに記載の横型超接合半導体素子。

【請求項 1 5】並列 p n 層の長さが並列 p n 層の幅の $12.5 \sim 100$ 倍の範囲にあることを特徴とする請求項 1 ないし 1 4 のいずれかに記載の横型超接合半導体素子。

【請求項 1 6】並列 p n 層の長さが第一導電型ドリフト領域または第二導電型仕切り領域の深さの $12.5 \sim 100$ 倍の範囲にあることを特徴とする請求項 1 5 に記載の横型超接合半導体素子。

【請求項 1 7】半導体基板の一方の主面に設けられた二つの主電極と、その主電極間に、オン状態では電流を流すと同時にオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列 p n 層を備える横型超接合半導体素子において、実効的に低不純物濃度の低濃度領域を備え、並列 p n 層と低濃度領域とがつながって一つの主電極を取り囲む閉ループをなすことを特徴とする横型超接合半導体素子。

【請求項 1 8】閉ループが直線部分と曲線部分とからなることを特徴とする請求項 1 7 に記載の横型超接合半導体素子。

【請求項 1 9】閉ループが二つ以上の直線部分と、二つ以上の曲線部分とか

らなることを特徴とする請求項 1 8 に記載の横型超接合半導体素子。

【請求項 2 0】 閉ループが四つ以上の直線部分と、四つ以上の曲線部分とからなることを特徴とする請求項 1 9 に記載の横型超接合半導体素子。

【請求項 2 1】 直線部分が並列 p n 層を含み、曲線部分が低濃度領域を含むことを特徴とする請求項 1 8 ないし 2 0 のいずれかに記載の横型超接合半導体素子。

【請求項 2 2】 低濃度領域の表面付近が実効的にイントリナシックに近いことを特徴とする請求項 1 7 ないし 2 1 のいずれかに記載の横型超接合半導体素子。

【請求項 2 3】 低濃度領域が第一導電型不純物と第二導電型不純物との両方がドーピングされていることを特徴とする請求項 1 7 ないし 2 2 のいずれかに記載の横型超接合半導体素子。

【請求項 2 4】 曲線部分の少なくとも一部の長さが直線部分の長さより大きいことを特徴とする請求項 1 8 ないし 2 3 のいずれかに記載の横型超接合半導体素子。

【請求項 2 5】 低濃度領域の少なくとも一部の長さが、並列 p n 層の長さより大きいことを特徴とする請求項 1 7 ないし 2 4 のいずれかに記載の横型超接合半導体素子。

【請求項 2 6】 複数の閉ループを有することを特徴とする請求項 1 7 ないし 2 5 のいずれかに記載の横型超接合半導体素子。

【請求項 2 7】 第一導電型ドリフト領域または第二導電型仕切り領域の幅が、深さの $1/4 \sim 4$ 倍の範囲にあることを特徴とする請求項 1 7 ないし 2 6 のいずれかに記載の横型超接合半導体素子。

【請求項 2 8】 並列 p n 層の長さが並列 p n 層の幅の $12.5 \sim 100$ 倍の範囲にあることを特徴とする請求項 1 7 ないし 2 7 のいずれかに記載の横型超接合半導体素子。

【請求項 2 9】 並列 p n 層の長さが第一導電型ドリフト領域または第二導電型仕切り領域の深さの $12.5 \sim 100$ 倍の範囲にあることを特徴とする請求項 1 7 ないし 2 8 のいずれかに記載の横型超接合半導体素子。

【請求項 3 0】超接合半導体素子が MOSFET、バイポーラトランジスタ、IGBT、ダイオードのいずれかであり、閉ループの内側に高電位の電極が、閉ループの外側に低電位の電極が設けられていることを特徴とする請求項 1 ないし 2 9 のいずれかに記載の横型超接合半導体素子。

【請求項 3 1】閉ループの外側に閉ループを含む半導体素子を制御、保護、若しくは状態検出する回路を備えることを特徴とする請求項 1 ないし 3 0 のいずれかに記載の横型超接合半導体素子。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、オン状態では電流を流すとともに、オフ状態では空乏化する並列 p n 層からなる特別な構造を備える MOSFET（絶縁ゲート型電界効果トランジスタ）、IGBT（絶縁ゲートバイポーラトランジスタ）、バイポーラトランジスタ、ダイオード等の半導体素子に関する。

【0 0 0 2】

【従来の技術】

相対向する二つの主面に設けられた電極間に電流が流される縦型半導体素子において、高耐圧化を図るには、両電極間の高抵抗層の厚さを厚くしなければならず、一方そのように厚い高抵抗層をもつ素子では、必然的に両電極間のオン抵抗が大きくなり、損失が増すことになることが避けられなかった。すなわちオン抵抗（電流容量）と耐圧間にはトレードオフ関係がある。このトレードオフ関係は、IGBT、バイポーラトランジスタ、ダイオード等の半導体素子においても同様に成立することが知られている。

【0 0 0 3】

この問題に対する解決法として、ドリフト層を、不純物濃度を高めた n 型の領域と p 型の領域とを交互に積層した並列 p n 層で構成し、オフ状態のときは、空乏化して耐圧を負担するようにした構造の半導体装置が、EP 0 0 5 3 8 5 4、USP 5 2 1 6 2 7 5、USP 5 4 3 8 2 1 5 および本発明の発明者らによる特開平 9 - 2 6 6 3 1 1 号公報に開示されている。

【 0 0 0 4 】

なお本発明の発明者らは、オン状態では電流を流すとともに、オフ状態では空乏化する並列 $p-n$ 層からなるドリフト層を備える半導体素子を超接合半導体素子と称することとした。

また上記のオン抵抗（電流容量）と耐圧間にはトレードオフ関係の問題は、半導体基板の一方の主面に設けられた二つの電極間にドリフト電流が流れるいわゆる横型半導体素子についても共通であり、やはりドリフト層を n 型の領域と p 型の領域とを交互に積層した並列 $p-n$ 層で構成した超接合半導体素子として解決することができる。

【 0 0 0 5 】

図 1 2 は、基本的な横形超接合 MOSFET の斜視図であり、図 1 3 (a) は、図 1 2 の A-A 線に沿った断面図である。わかりやすくするために、多結晶シリコンからなるゲート電極 9 以外の酸化膜、金属膜等は省略している。

本横型超接合 MOSFET は、 p^- 基板 5 上の n^- 層 4 表面に形成された横型二重拡散 MOSFET である。8 は低抵抗の n^+ ドレイン領域であり、10 は n^+ ドレイン領域 8 とその表面に接して設けられたドレイン電極とを含むドレイン部である。11 は、 p ウェル領域 6、その中に形成された n^+ ソース領域 7 とその表面に接して設けられたソース電極とを含むソース部である。ドレイン部 10 とソース部 11 との間のドリフト部は、 n 型ドリフト領域 1 と p 仕切領域 2 とが交互に繰り返して配列されたストライプ状の並列 $p-n$ 層 12 で構成されている。並列 $p-n$ 層 12 のうちドリフト電流が流れるのは、 n 型ドリフト領域 1 である。この並列 $p-n$ 層 12 の幅は $1 \sim 10 \mu m$ 程度、望ましくは $1 \sim 4 \mu m$ であり、深さは $1 \sim 10 \mu m$ 程度、望ましくは $1 \sim 4 \mu m$ 程度である。また、その長さは、600V 耐圧の MOSFET で $50 \mu m$ 程度、1000V 耐圧の素子で $100 \mu m$ 程度である。

【 0 0 0 6 】

このように構成された横型超接合 MOSFET は、ドレイン電極とソース電極間に電圧を印加し、ゲート電極 9 に適当な電圧が印加された時、ゲート電極 9 の下方に形成されるチャネル反転層 3 を介して n^+ ソース領域 7 から複数の n 型ド

リフト領域 1 に電子が流れ込み、ドレイン電極－ソース電極間の電界でドリフト電流が流れる（オン状態）。一方、ゲート電極 9 の電圧を取り去れば、チャネル反転層 3 が消滅し、ドレイン電極－ソース電極間の電圧により、n 型ドリフト領域 1 と p ウェル領域 6 との間の p n 接合と、n 型ドリフト領域 1 と p 仕切領域 2 との間の p n 接合から n 型ドリフト領域 1 および n^- 層 4 に空乏層が広がり空乏化される（オフ状態）。

【0 0 0 7】

n 型ドリフト領域 1 と p 仕切領域 2 との間の p n 接合からの空乏層は n 型ドリフト領域 1 の幅方向に広がるが、幅が狭いため空乏化が非常に早まる。同時に p 仕切領域 2 も空乏化する。このため、高耐圧化が可能となり、n 型ドリフト領域 1 の不純物濃度を高めることができるので、低オン抵抗化が可能となる。

理想的な単位面積当たりのオン抵抗と耐圧との関係は①式で与えられる。

【0 0 0 8】

【数 1】

$$R = \frac{BV^2}{2N\beta^2 Ec^3 \epsilon_0 \epsilon_{Si} \mu} \quad \text{①}$$

ここで、R は単位面積当たりのオン抵抗、BV は耐圧、N はドリフト領域の分割数（並列 p n 層数）、 β は未知の係数、Ec は n 型ドリフト領域の不純物濃度における臨界電界、 ϵ_0 は真空の誘電率、 ϵ_{Si} は Si の比誘電率、 μ は電子の移動度である。

【0 0 0 9】

①式から、n 型ドリフト領域 1 の分割数（並列 p n 層数）N を増やせば、劇的にオン抵抗を低減することが可能となることがわかる。

なお、原理的な詳細は特開平 9 - 2 6 6 3 1 1 号と同じであるので、ここでは省略する。

図 1 3 （b）はダブルリサーフ構造を適用した場合の断面図である。

【0 0 1 0】

n^- 層 4 と並列 p n 層 1 2 との間に低不純物濃度の p^- 層 1 5 が挟まれている

。この構造では、 n^- 層 4 と p^- 層 1 5 との間の $p n$ 接合および n^- 層 4 と p^- 基板 5 との間の $p n$ 接合から n^- 層 4 に空乏層が広がるので高耐圧化できる。

また発明者らは、特願平 1 0 - 3 2 1 5 6 7 号において、並列 $p n$ 層を構成する n 型ドリフト領域 1、 p 仕切り領域 2 の不純物濃度および幅を、ほぼ同じ値とすることが有効であることを示した。

【 0 0 1 1 】

【発明が解決しようとする課題】

しかし、前記の発明はいずれも、試作的な段階で、量産化のための十分な検討がなされているとは言えない。

特開平 9 - 2 6 6 3 1 1 号にあるように、これまでの発明は電流の流れる並列 $p n$ 層の直線部（ドリフト部）の記載がなされているのみで、曲線部（コーナ部、折れ曲がり部、角部を含む）に関する記載がなされていない。また、横型素子の場合、曲線部の構造無しで高耐圧を実現することは実際問題として困難であり、高耐圧を得るためには曲線部における電界緩和構造が重要となる。

【 0 0 1 2 】

このような状況に鑑み本発明の目的は、容易に高耐圧を実現する曲線部の具体的な構造を提案することによって、オン抵抗と耐圧とのトレードオフ関係を大幅に改善しつつ高耐圧を実現し、しかも量産に適した横型超接合半導体素子を提供することにある。

【 0 0 1 3 】

【課題を解決するための手段】

上記の課題を解決するために本発明は、半導体基板の一方の主面に設けられた二つの主電極と、その主電極間に、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列 $p n$ 層を備える横型超接合半導体素子において、並列 $p n$ 層が一つの主電極を取り囲む閉ループをなすものとする。

【 0 0 1 4 】

ドレイン部とソース部間に高電圧を印加できるためには、それらが遠く離れているか、それらの間の並列 $p n$ 層が閉ループをなしていなければならない。ドレ

イン部とソース部とを遠く離す方法は、半導体基板の面積が限定される以上採りがたい。

また、第一導電型ドリフト領域と第二導電型仕切領域とを交互に配置した並列 p n 層が、第一導電型ドリフト領域と第二導電型仕切領域とを第一のピッチで配置した第一の部分と、第一のピッチと異なる第二のピッチで配置した第二の部分とを有するようにすることが有効である。

【 0 0 1 5 】

場所に応じて第一のピッチと異なる第二のピッチを適当に選ぶことにより、並列 p n 層の一部で降伏電圧が低下することを避けられる。

そして、並列 p n 層が直線部分と曲線部分とからなるものとする。

そのようにすれば、最も簡単に閉ループを構成できる。閉ループとしては、二つ以上の直線部分と、二つ以上の曲線部分とからなるもの、四つ以上の直線部分と、四つ以上の曲線部分とからなるものなど様々な形を採り得る。

【 0 0 1 6 】

特に、並列 p n 層の直線部分が第一のピッチで配置され、曲線部分が第二のピッチで配置されるものとする。

特に、曲線部分は、第一導電型ドリフト領域と第二導電型仕切領域とのバランスをとり難いので、直線部分と別のピッチとすると良い。

直線部分の第一のピッチが、曲線部分の第二のピッチと同等以上であるものとする。

【 0 0 1 7 】

曲線部分にピッチの狭い並列 p n 層を配置することにより、逆電圧印可時に並列 p n 層の曲線部分で空乏層が、直線部分より早く広がり、曲線部分の表面電界が緩和される。

曲線部分の並列 p n 層の不純物濃度が、直線部分の不純物濃度より実効的に低濃度であるものとする。

【 0 0 1 8 】

不純物濃度が低いほど並列 p n 層は早く空乏化し、表面電界が緩和されるので高耐圧化しやすい。

曲線部分の並列 p n 層の不純物濃度が、実効的にイントリンシックに近いものとする。

不純物濃度が低いほど並列 p n 層は早く空乏化するので、実効的にイントリンシックであれば、空乏化は、最も速くなる。

【 0 0 1 9 】

逆電圧印可時に実効キャリア濃度の低い領域に空乏層は広がり易くなるので、電界が緩和され高耐圧を保持できる。

曲線部分の並列 p n 層が第一導電型不純物と第二導電型不純物の両方がドーブされているものとする。

第一導電型不純物と第二導電型不純物の両方をドーブすることにより、実効的にイントリンシックに近い不純物濃度が実現できる。

【 0 0 2 0 】

不純物濃度が十分低い場合には、並列 p n 層の曲線部分の少なくとも一部のピッチを、直線部分のピッチより大きくすることができる。

また、曲線部分の不純物濃度が十分低い場合には、曲線部分の少なくとも一部に並列 p n 層を設けないことができる。

曲線部分の少なくとも一部の長さが直線部分の長さより大きいものとするれば、曲線部分の空乏化する面積がふえるので、より高耐圧化できる。

【 0 0 2 1 】

また、複数の並列 p n 層の閉ループを有するものであっても良い。

更に、第一導電型ドリフト領域または第二導電型仕切り領域の幅が、深さの 1 / 5 ~ 5 倍の範囲にあるものとする。

深さが、幅より極端に大きい第一導電型ドリフト領域または第二導電型仕切り領域は、技術的につくるのが困難である。一方、幅が、深さより極端に大きい第一導電型ドリフト領域または第二導電型仕切り領域は、空乏化が困難になる。従って、上記の範囲にあるものが良い。

【 0 0 2 2 】

また、並列 p n 層の長さが並列 p n 層の幅或いは深さの 1 0 ~ 1 0 0 倍の範囲にあるものとする。

並列 p n 層の長さ、幅、又は深さとの比が 1 0 倍未満であると、余り高耐圧にできない。逆にその比が 1 0 0 倍を超す大きさであると、半導体基板面積を無駄に消費したり、或いは製造技術上困難が伴ったりする。

【 0 0 2 3 】

超接合半導体素子が MOSFET であり、並列 p n 層の閉ループの内側にドレイン電極が、並列 p n 層の閉ループの外側にソース電極が設けられているものとする。

高電圧の印加されるドレイン電極を閉ループ内に配置すれば、面積の広いソース電極を低電位とすることができる。

【 0 0 2 4 】

更に、並列 p n 層の閉ループの外側に MOSFET を制御、保護、若しくは状態検出する回路を備えるものとする。

MOSFET 等の単独の半導体素子に限らず、本発明は制御、保護、若しくは状態検出する回路を集積した半導体装置にも適用できる。

【 0 0 2 5 】

【発明の実施の形態】

以下に図を参照しながら本発明の実施の形態について説明する。

〔実施例 1〕

図 2 は本発明第一の実施例の n チャネル型の横型超接合 MOSFET の基本的な部分の斜視断面図である。なお以下で n または p を冠記した層や領域は、それぞれ電子、正孔を多数キャリアとする層、領域を意味しているが、n 型、p 型の型は略した。また添字の⁺は比較的高不純物濃度の、⁻は比較的低不純物濃度の領域をそれぞれ意味している。

【 0 0 2 6 】

図 2 において、p⁻基板 5 上に n⁻層 4 を形成した半導体基板が用いられており、その n⁻層 4 の表面層に、p ウェル領域 6 が形成され、その p ウェル領域 6 の内部に n⁺ソース領域 7 が形成されている。p ウェル領域 6 と離れた表面層に n⁺ドレイン領域 8 が形成されている。

そして、p ウェル領域 6 と n⁺ドレイン領域 8 との間には、n ドリフト領域 1

と、この図では見られない p 仕切り領域とからなる並列 p n 層 1 2 が形成されている。n⁺ ソース領域 7 と n ドリフト領域 1 とに挟まれた p ウェル領域 6 の上方にはゲート酸化膜 1 0 を介して多結晶シリコンのゲート電極 9 が設けられている。n⁺ ソース領域 7 と p ウェル領域 6 の表面に共通に接触するソース電極 1 7 が、また n⁺ ドレイン領域 8 の表面にはドレイン電極 1 8 が設けられている。1 9 は表面保護および安定化のための層間絶縁膜であり、例えば、熱酸化膜と燐シリカガラス (P S G) からなる。ソース電極 1 7 は、図のように層間絶縁膜 1 9 を介してゲート電極 9 の上に延長されることが多い。

【 0 0 2 7 】

n ドリフト領域 1 および p 仕切り領域は、例えば n⁻ 層 4 の表面層にイオン注入と熱処理により形成される。例えば、6 0 0 V クラスの M O S F E T として、各部の基準的な寸法および不純物濃度等は次のような値をとる。p⁻ 基板 5 の不純物濃度 $2 \times 10^{13} \text{ cm}^{-3}$ 、厚さ $350 \mu\text{m}$ 、n⁻ 層 4 の厚さ $50 \mu\text{m}$ 、不純物濃度 $2 \times 10^{14} \text{ cm}^{-3}$ 、n ドリフト領域 1 および p 仕切り領域の幅 $5 \mu\text{m}$ (すなわち、同じ領域の中心間隔 $10 \mu\text{m}$)、長さ $50 \mu\text{m}$ 、不純物濃度 $3 \times 10^{15} \text{ cm}^{-3}$ 、拡散深さ $1 \mu\text{m}$ 、p ウェル領域 6 の拡散深さ $2 \mu\text{m}$ 、表面不純物濃度 $3 \times 10^{18} \text{ cm}^{-3}$ 、n⁺ ソース領域 7 の拡散深さ $0.3 \mu\text{m}$ 、表面不純物濃度 $1 \times 10^{20} \text{ cm}^{-3}$ である。

【 0 0 2 8 】

図 1 は本発明にかかる n チャネル型の横型超接合 M O S F E T の基本的な部分の部分平面図である。この図は半導体基板表面の平面図を示したものであり、わかり易くするために並列 p n 層 1 2、ドレイン部 1 1、ソース部 1 3 を示している。

並列 p n 層 1 2 がピッチ P 1 の直線部分 1 2 a と、最大ピッチ P 2 が P 1 より狭い曲線部分 1 2 b とからなる閉ループとなっており、ドレイン部 1 1 を囲んでいる。直線部分 1 2 a のピッチ P 1 は $10 \mu\text{m}$ 、曲線部分 1 2 b のピッチ P 2 は $8 \mu\text{m}$ である。曲線部分 1 2 b では、n ドリフト領域 1 および p 仕切り領域の幅が半径方向の位置で変わるので、最大幅を採用して最大ピッチ P 2 を算出した。そして、この並列 p n 層 1 2 の閉ループの外側にソース部 1 3 が配置されている。

。閉ループの長さ L は、電流容量等により決められるが、通常数 mm のオーダーである。なお、 $B-B$ 線に沿った斜視断面図は図2になる。

【0029】

図2の横型超接合MOSFETの動作は、次のようにおこなわれる。ゲート電極9に所定の正の電圧が印加されると、ゲート電極9直下の p ウェル領域6の表面層にチャネル反転層3が誘起され、 n^+ ソース領域7からそのチャネル反転層3を通じて n 型ドリフト領域1に電子が注入される。その注入された電子は n^+ ドレイン領域8に達し、ドレイン電極18、ソース電極17間が導通する。

【0030】

ゲート電極9への正の電圧が取り去られると、 p ウェル領域6の表面層に誘起されていたチャネル反転層3が消滅し、ドレイン電極18、ソース電極17間が遮断される。更に、ドレイン電極18、ソース電極17間のバイアス電圧を大きくすると、各 p 仕切り領域2は p ウェル領域6を介してソース電極17で連結されているので、 p ウェル領域6、 p 仕切り領域2と n^- 層4との間の $p-n$ 接合 J_a 、 n 型ドリフト領域1と p 仕切り領域2との間の $p-n$ 接合 J_b からそれぞれ空乏層が n 型ドリフト領域1、 p 仕切り領域2内に広がってこれらが空乏化される。

【0031】

$p-n$ 接合 J_b からの空乏端は、 n 型ドリフト領域1の幅方向に広がり、しかも両側の p 仕切り領域2から空乏層が広がるので空乏化が非常に早まる。従って、 n 型ドリフト領域1の不純物濃度を高めることができる。

また p 仕切り領域2も同時に空乏化される。 p 仕切り領域2も両側の $p-n$ 接合から空乏層が広がるので空乏化が非常に早まる。 p 仕切り領域2と n 型ドリフト領域1とを交互に形成することにより、隣接する n 型ドリフト領域1の双方へ空乏端が進入するようになっているので、空乏層形成のための p 仕切り領域2の総占有幅を半減でき、その分、 n 型ドリフト領域1の断面積の拡大を図ることができる。

【0032】

並列 $p-n$ 層12の曲線部分12bの最大ピッチ P_2 が直線部分12aのピッチ

P 1 より大きい場合、ゲート電極とソース電極とをショートし、ドレイン電極に正の電圧を印可していくと、並列 p n 層の直線部分 1 2 a は完全に空乏化するが、曲線部分 1 2 b は曲率形状のため不純物量のバランスがとれず、直線部分 1 2 a の耐圧より低い耐圧で臨界電界に達してしまう。このため、高耐圧を得ることができない。

【 0 0 3 3 】

一方、並列 p n 層 1 2 の曲線部分 1 2 b の最大ピッチ P 2 を直線部分 1 2 a のピッチ P 1 より狭くすれば、不純物量のバランスが取り易くなり、空乏層の広がる幅が狭くなるため直線部分 1 2 a より早く空乏化することができる。このため、曲線部分 1 2 b での電界が緩和され高耐圧化が可能となる。

【実施例 2】

図 3 は、本発明実施例 2 の n チャネル型の横型超接合 MOS FET の基本的な部分の部分平面図である。

【 0 0 3 4 】

直線部分 1 2 a のピッチ P 1 は $10\mu\text{m}$ 、曲線部分 1 2 b のピッチ P 2 は $8\mu\text{m}$ である。並列 p n 層 1 2 がピッチ P 1 の直線部分 1 2 a と、最大ピッチ P 2 が P 1 より狭い曲線部分 1 2 b とからなる閉ループとなっており、その並列 p n 層 1 2 がドレイン部 1 1 を囲んでいる。そして、この並列 p n 層 1 2 の閉ループの外側にソース部 1 3 が配置されていることは実施例 1 と同じであるが、閉ループが直線部分二つ、曲線部分二つの単純な閉ループでなく、入り組んだ形状の閉ループとなっている。

【 0 0 3 5 】

並列 p n 層 1 2 をこのような複雑な閉ループとすることにより、ドレイン部 1 1 内のドレイン電極を単一とすることができるだけでなく、半導体基板の表面積を有効に活用できる利点がある。

【実施例 3】

図 4 は、本発明実施例 3 の n チャネル型の横型超接合 MOS FET の基本的な部分の部分平面図、図 5 (a)、(b) はそれぞれ図 4 の C - C 線、D - D 線に沿った断面図である。

【 0 0 3 6 】

直線部分 1 2 a のピッチ $P 1$ は $10 \mu\text{m}$ 、曲線部分 1 2 b のピッチ $P 2$ は $8 \mu\text{m}$ である。この例では、並列 $p n$ 層 1 2 の直線部分 1 2 a のピッチ $P 1$ に対し、曲線部分 1 2 b の最大ピッチ $P 2$ が同等以下である。ただし並列 $p n$ 層 1 2 の曲線部分 1 2 b の n 型ドリフト領域 2 1 の不純物濃度が n^- 層 4 と同程度の低濃度とされ、また p 仕切り領域 2 2 の不純物濃度もそれと同程度の低不純物濃度とされている。並列 $p n$ 層 1 2 の直線部分 1 2 a の n ドリフト領域 1、 p 仕切り領域 2 の不純物濃度は実施例 1、実施例 2 と同様に $3 \times 10^{15} \text{cm}^{-3}$ である。

【 0 0 3 7 】

不純物濃度が低いほど空乏層は早く広がる。従って、並列 $p n$ 層 1 2 の直線部分 1 2 a より、曲線部分 1 2 b を早く空乏化することができて、電界が緩和され高耐圧化しやすくなる。

〔実施例 4〕

図 6 は、本発明実施例 4 の n チャネル型の横型超接合 MOSFET の基本的な部分の部分平面図である。

【 0 0 3 8 】

この例では、並列 $p n$ 層 1 2 の直線部分 1 2 a のピッチ $P 1$ に対し、曲線部分 1 2 b の最大ピッチ $P 2$ が大きくなっている。例えば、直線部分 1 2 a のピッチ $P 1$ は $10 \mu\text{m}$ 、曲線部分 1 2 b の最大ピッチ $P 2$ は $15 \mu\text{m}$ である。

並列 $p n$ 層 1 2 の曲線部分 1 2 b の n 型ドリフト領域 3 1、 p 仕切り領域 3 2 の不純物濃度が、十分に低ければ、空乏層は早く広がるので、曲線部分 1 2 b の最大ピッチ $P 2$ を直線部分 1 2 a のピッチ $P 1$ より大きくすることもできる。

【 0 0 3 9 】

〔実施例 5〕

図 7 は、本発明実施例 5 の n チャネル型の横型超接合 MOSFET の基本的な部分の部分平面図、図 8 (a) は図 7 の E-E 線に沿った断面図の例である。

並列 $p n$ 層 1 2 の曲線部分 1 2 b の不純物濃度が低い場合であり、並列 $p n$ 層でなく単一の低濃度領域 4 2 とされている。並列 $p n$ 層 1 2 の直線部分 1 2 a の n ドリフト領域 1、 p 仕切り領域 2 の不純物濃度は実施例 1、実施例 2 と同様に

$2 \times 10^{15} \text{cm}^{-3}$ である。

【 0 0 4 0 】

不純物濃度が低い場合の極端な例としては、単一のイントリンシック領域 4 1 とすることもできるし、これを含んだ多層の領域とすることもできる。

その場合は p n 層 1 2 の曲線部分 1 2 b が、ほぼイントリンシックなので、この部分の電界が緩和され高耐圧化がしやすい。

イントリンシック領域 4 1、或いは低濃度領域 4 2 を形成するには、p 型不純物と n 型不純物の両方をドーピングして形成することができる。n 型不純物と p 型不純物が同じ領域におよそ同量含まれている場合、これら p 型不純物、n 型不純物はお互いに補償するため、高抵抗層として作用する。同量から少しずれて、高抵抗の n^- 領域、 p^- 領域であっても良い。

【 0 0 4 1 】

また、非常に接近している異なる領域においても、およそ同量の不純物であれば、互いに補償し合うため高抵抗層として機能する。

図 8 (b) は、本実施例の変形であるダブルリサーフ構造を適用した n チャネル型の横型超接合 MOSFET の部分断面図であり、 p^- 層 1 5 上にイントリンシック領域 4 1 が形成されている。このような構造とすることもできる。

【 0 0 4 2 】

図 8 (c)、(d) は、イントリンシック領域を用いない場合であり、高耐圧化の効果は少し劣るが、構造はシンプルである。

〔実施例 6〕

図 9 は、本発明実施例 6 の n チャネル型の横型超接合 MOSFET の基本的な部分の部分平面図である。

【 0 0 4 3 】

図 1 の実施例 1 の変形例である。並列 p n 層 1 2 の曲線部分 1 2 b の長さ t_2 が、直線部分 1 2 a の長さ t_1 より長くなっている点が異なっている。

横型超接合構造の場合、耐圧がおおよそ並列 p n 層の長さに比例するので、長さを長くすることにより直線部（ドリフト部）より高耐圧を得ることが可能となる。低濃度領域 4 2、更にはイントリンシック領域 4 1 を用いる場合も同様の効果

が得られる。

【 0 0 4 4 】

この並列 p n 層 1 2 の曲線部分 1 2 b の長さ t_2 を、直線部分 1 2 a の長さ t_1 より長くする方法は、実施例 2 ～ 5 にも適用することができ、同様の効果が得られる。

図 1 0 は、図 2 とは別の横形超接合 MOS F E T の斜視図を示したものである。図 2 と同じ番号は対応する同じ機能の部分である。

【 0 0 4 5 】

図 2 の横形超接合 MOS F E T と異なるところは、ゲート領域の部分だけで、その他は同じである。図 1 0 のようなゲート配置をすることで、オン抵抗は増加するが、誘導性負荷時のアバランシェ耐量を向上させることが可能となる。

これまでの実施例は横型 MOS F E T の例を挙げたが、他に横のバイポーラトランジスタ、絶縁ゲートバイポーラトランジスタ (I G B T) 、 p n ダイオード、ショットキーダイオード等でも同様な効果が得られる。

【 0 0 4 6 】

〔実施例 7〕

図 1 1 は、上記のような横型超接合素子をパワー部に用いたモノリシックなインテリジェントパワー I C の例の平面図である。

同じ半導体基板 6 1 上に横型超接合素子 6 3 と制御、保護、検出等を目的とする回路 6 2 とを集積したものである。

【 0 0 4 7 】

横型の超接合素子を集積することによりモノリシック化、低コスト化を容易にすると共に、高耐圧で低オン抵抗 (低損失) なインテリジェントパワー I C を実現できる。

【 0 0 4 8 】

【発明の効果】

以上説明したように本発明は、半導体基板の一方の主面に設けられた二つの主電極と、その主電極間に、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列 p

n 層を備える横型超接合半導体素子において、並列 p n 層が一つの主電極を取り囲む閉ループをなすべきこと、その閉ループの各部のピッチを適当に選択すべきことを明らかにすることによって、オン抵抗と耐圧とのトレードオフ関係を大幅に改善しつつ、高耐圧の横型超接合半導体素子の実現に資するものである。

【 0 0 4 9 】

また、直線部と曲線部とからなる閉ループの曲線部について濃度の制御等も有効であること、並列 p n 層の幅、深さ、長さ等に関する範囲を明示し、高耐圧の横型超接合半導体素子の量産化を容易にした。

【図面の簡単な説明】

【図 1】

本発明実施例 1 の横型超接合 MOSFET の半導体基板表面の平面図

【図 2】

本発明実施例 1 の横型超接合 MOSFET の基本的な構造部分の斜視図

【図 3】

本発明実施例 2 の横型超接合 MOSFET の半導体基板表面の平面図

【図 4】

本発明実施例 3 の横型超接合 MOSFET の半導体基板表面の平面図

【図 5】

(a) は図 4 の C - C 線に沿った部分断面図、(b) は D - D 線に沿った部分断面図

【図 6】

本発明実施例 4 の横型超接合 MOSFET の半導体基板表面の平面図

【図 7】

本発明実施例 5 の横型超接合 MOSFET の半導体基板表面の平面図

【図 8】

(a) は図 7 の E - E 線に沿った部分断面図、(b)、(c)、(d) は変形例の部分断面図

【図 9】

本発明実施例 6 の横型超接合 MOSFET の半導体基板表面の平面図

【図 1 0】

本発明の別の横型超接合MOSFETの斜視図

【図 1 1】

本発明実施例 7 の横型超接合MOSFETを含むICの半導体基板表面の平面図

【図 1 2】

従来の横型超接合MOSFETの斜視図

【図 1 3】

(a) は図 1 2 の横型超接合MOSFETのA-A線に沿った断面図、(b) は別の従来の横型超接合MOSFETの部分断面図

【符号の説明】

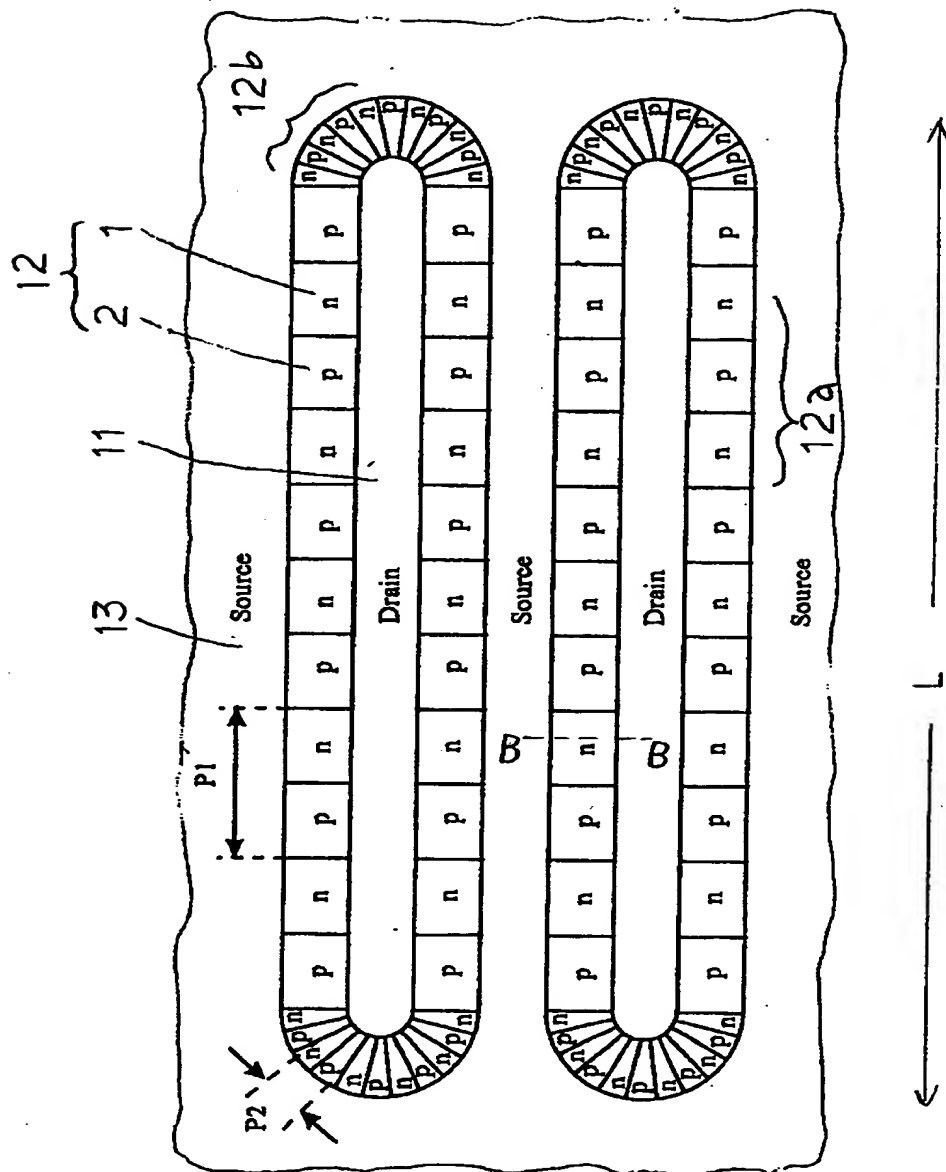
1、21、31	nドリフト領域
2、22、32	p仕切り領域
3	チャネル反転層
4	n ⁻ 層
5	p ⁻ 基板
6	pウェル領域
7	n ⁺ ソース領域
8	n ⁺ ドレイン領域
9	ゲート電極
10	ゲート酸化膜
11	ドレイン部
12	並列pn層
12a	直線部分
12b	曲線部分
13	ソース部
14	n ⁻ 層
15	p ⁻ 層
17	ソース電極

1 8	ドレイン電極
1 9	層間絶縁膜
4 1	イントリンシック領域
4 2	低濃度領域
6 1	半導体基板
6 2	制御回路等
6 3	横型超接合素子

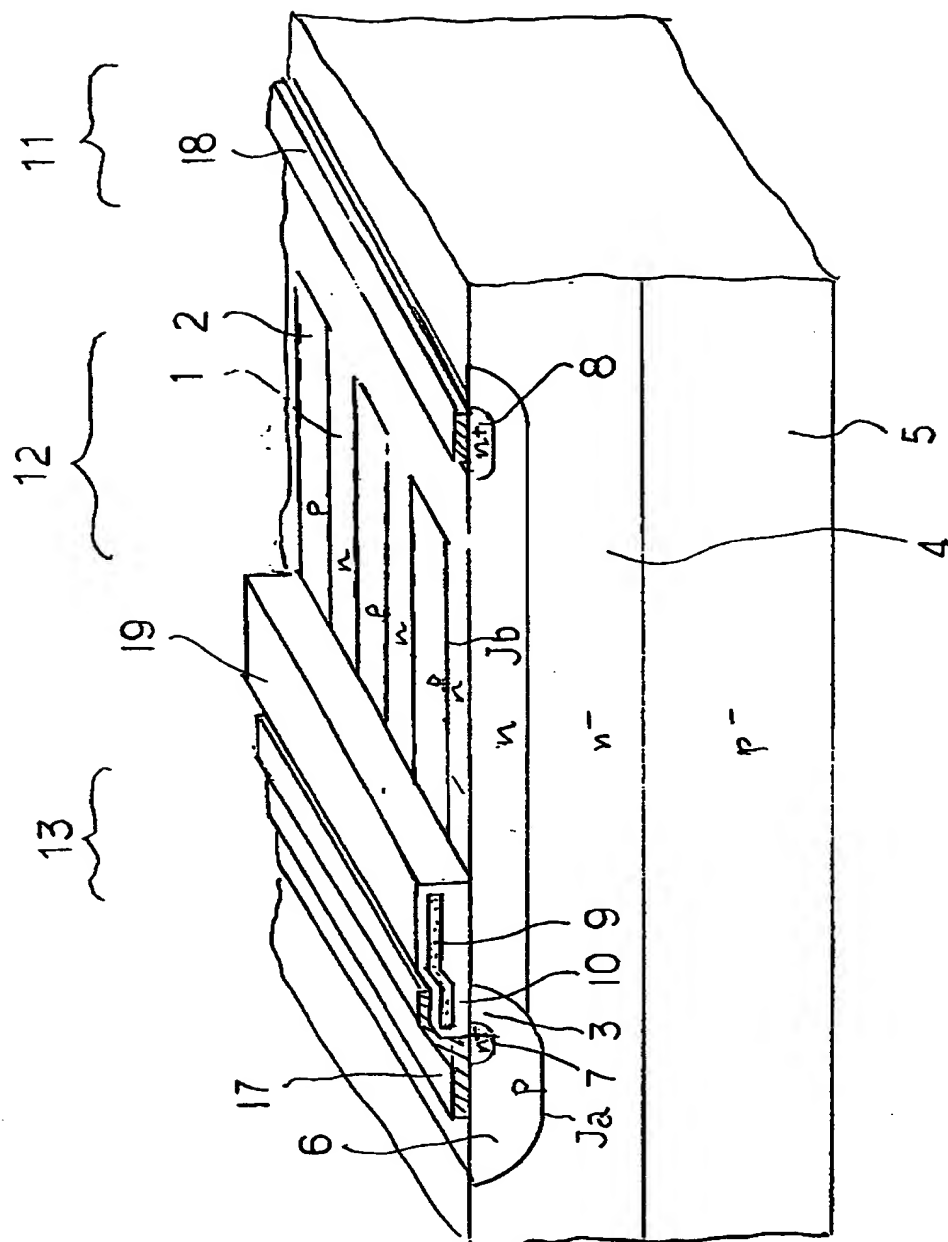
【書類名】

図面

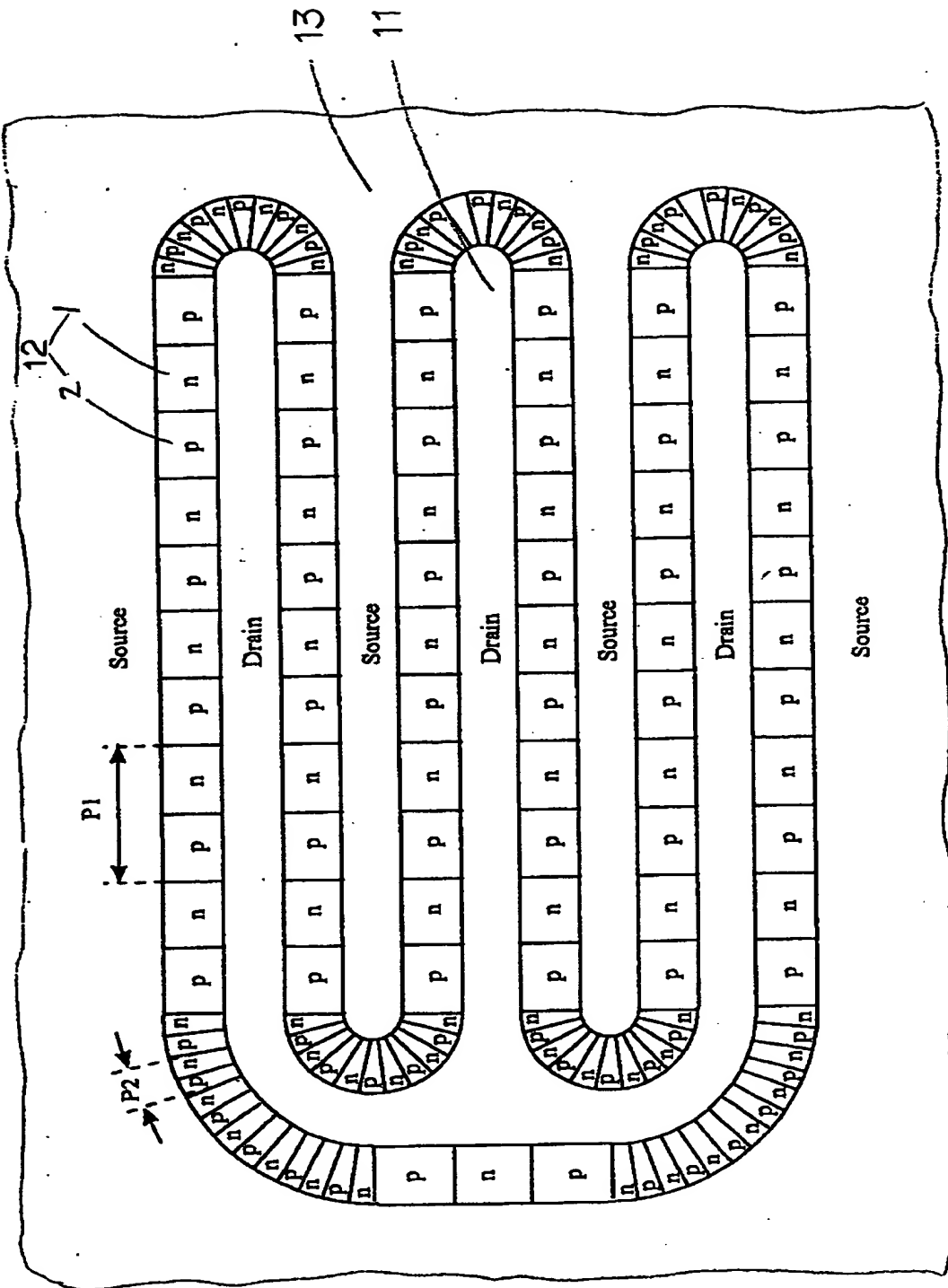
【図 1】



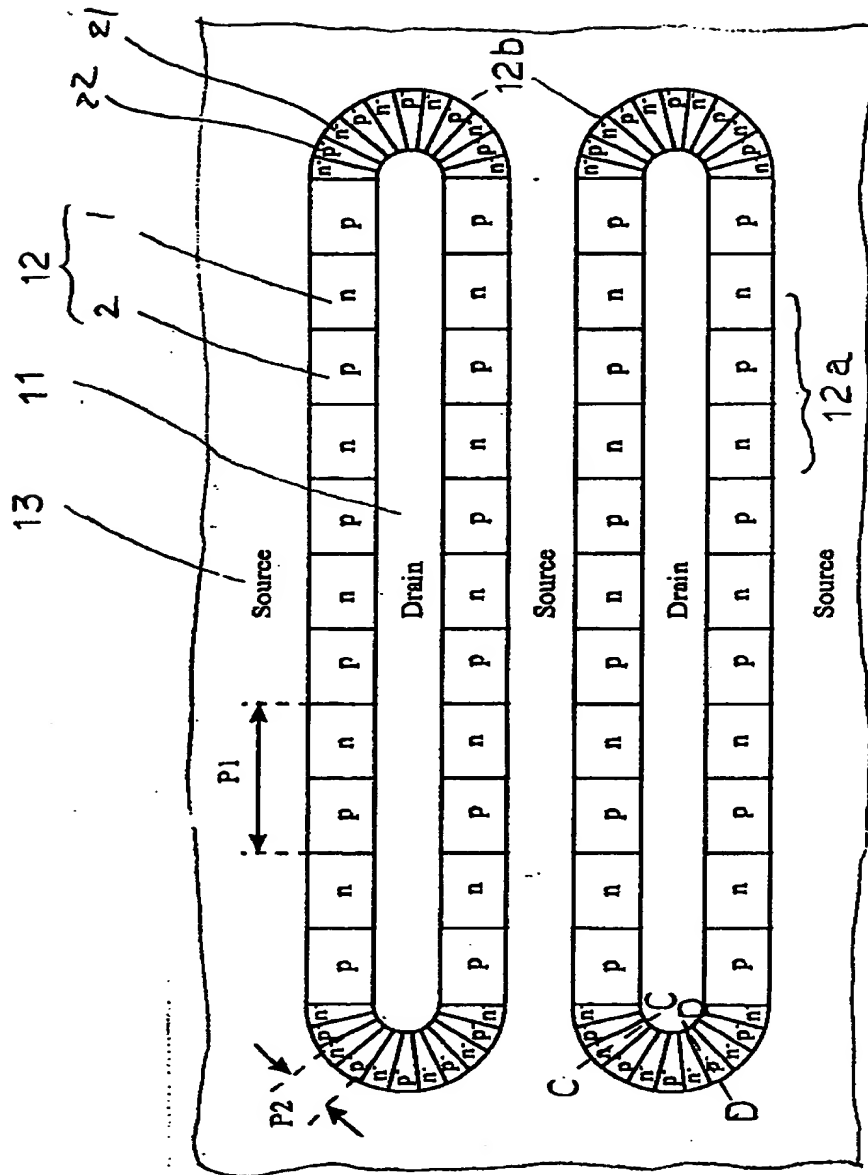
【図 2】



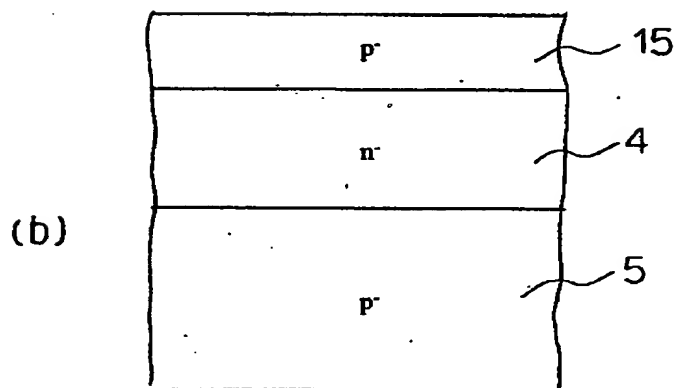
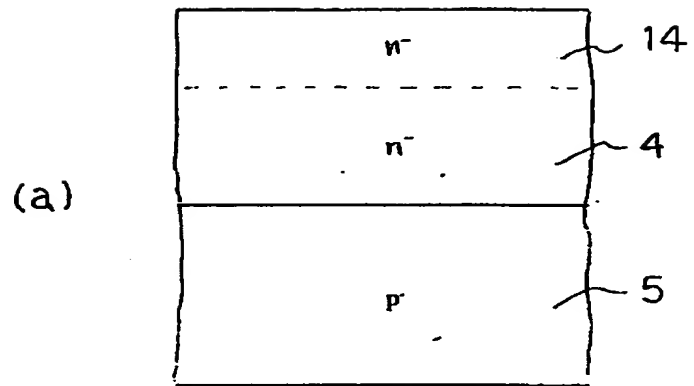
【図3】



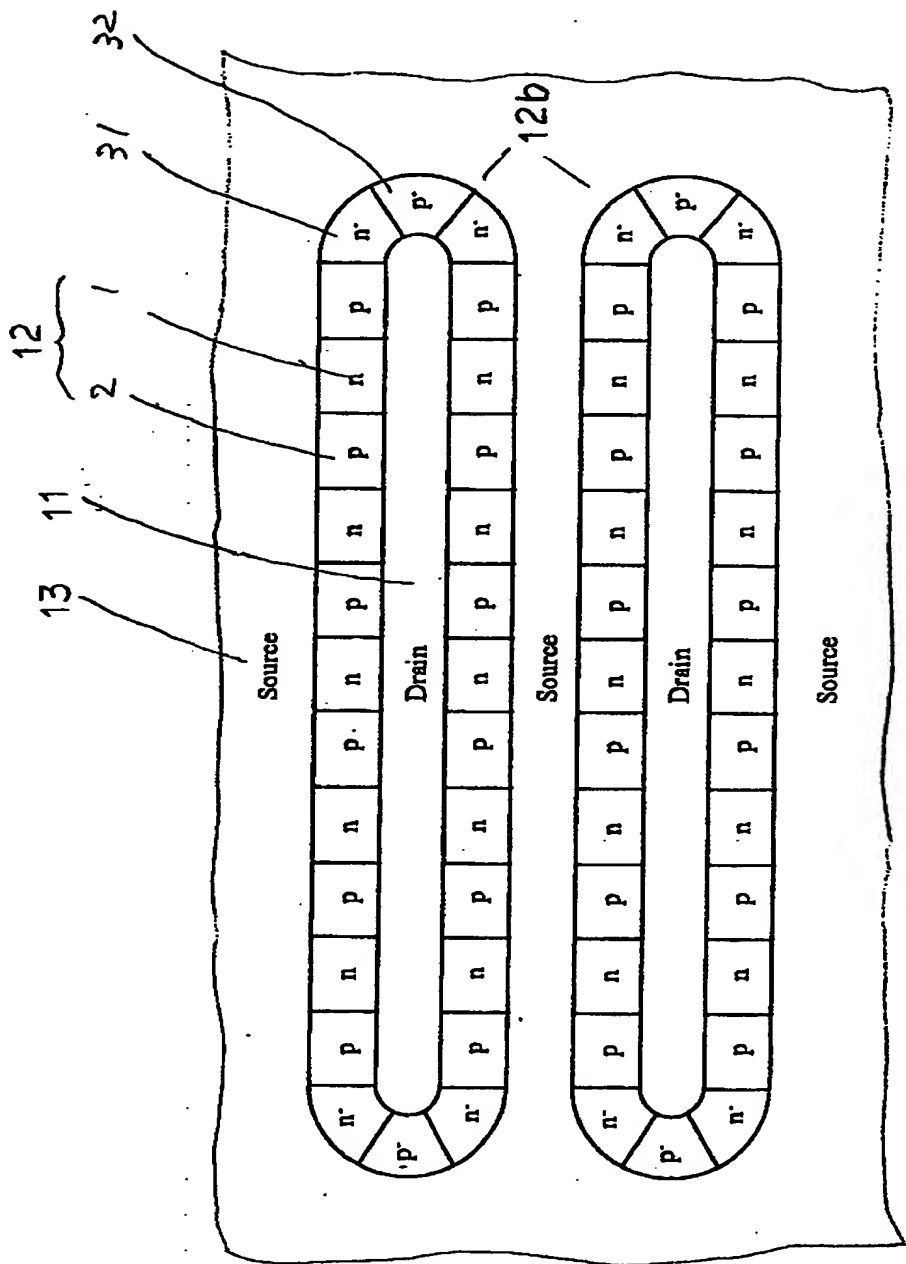
【図4】



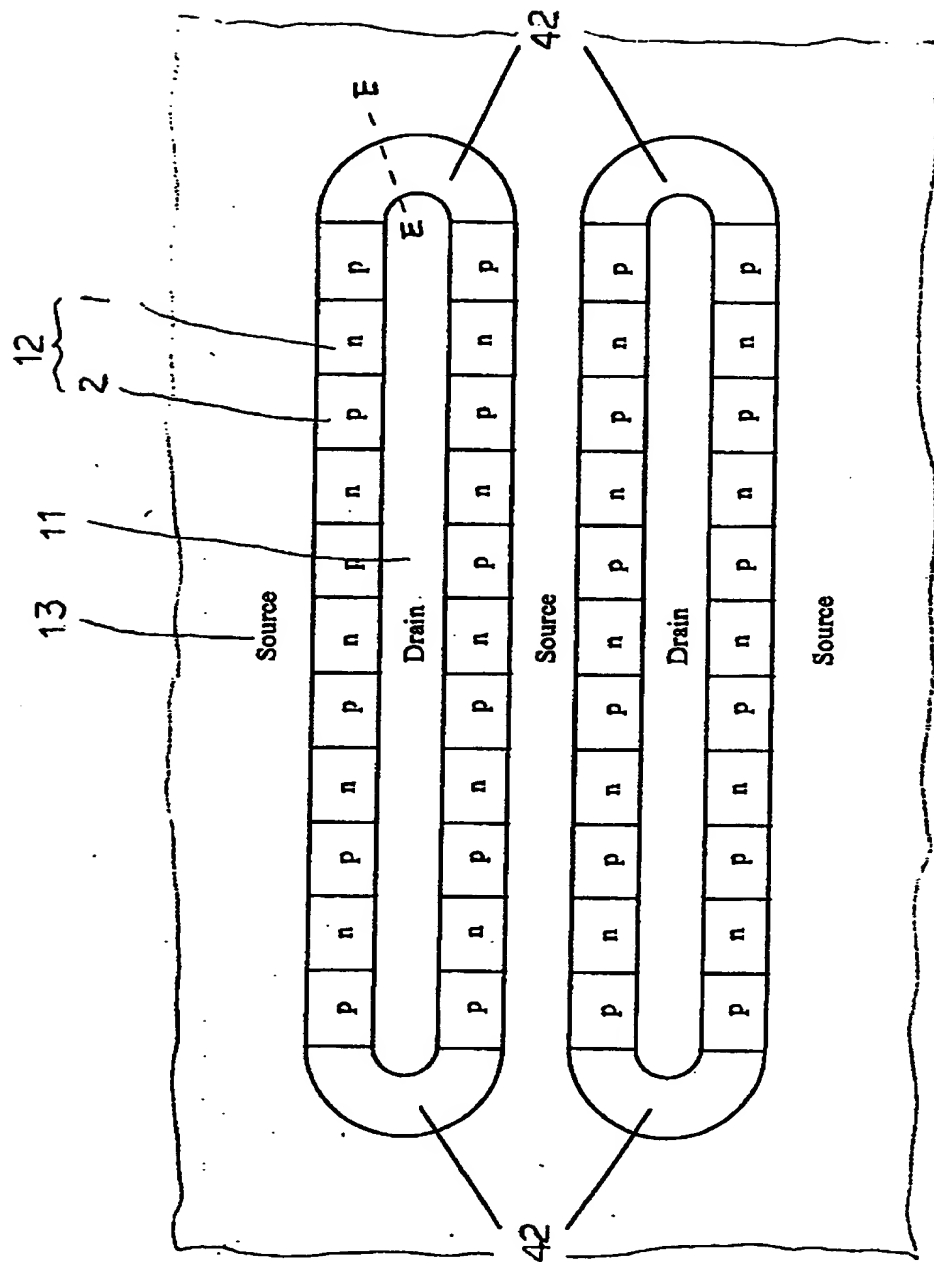
【図 5】



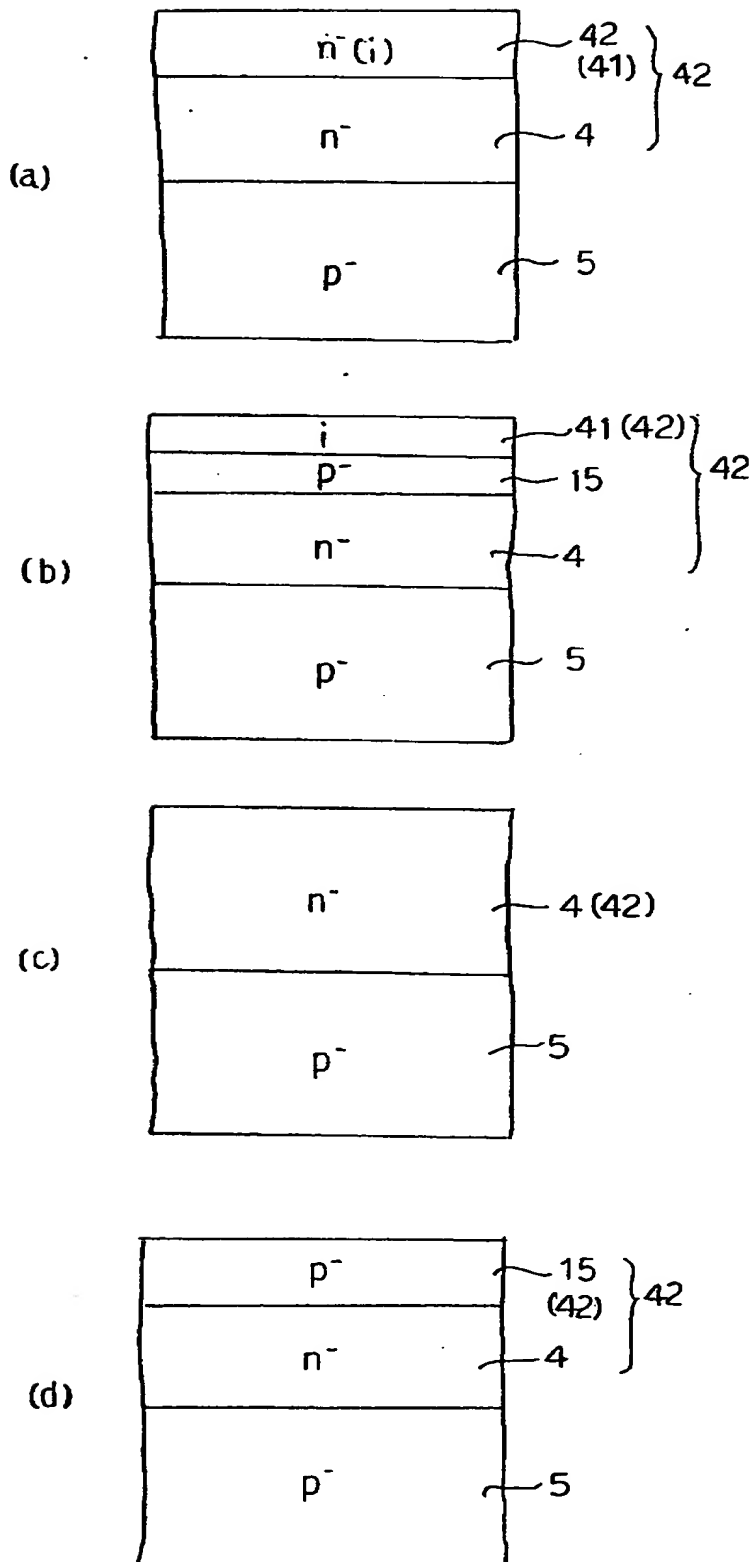
【図 6】



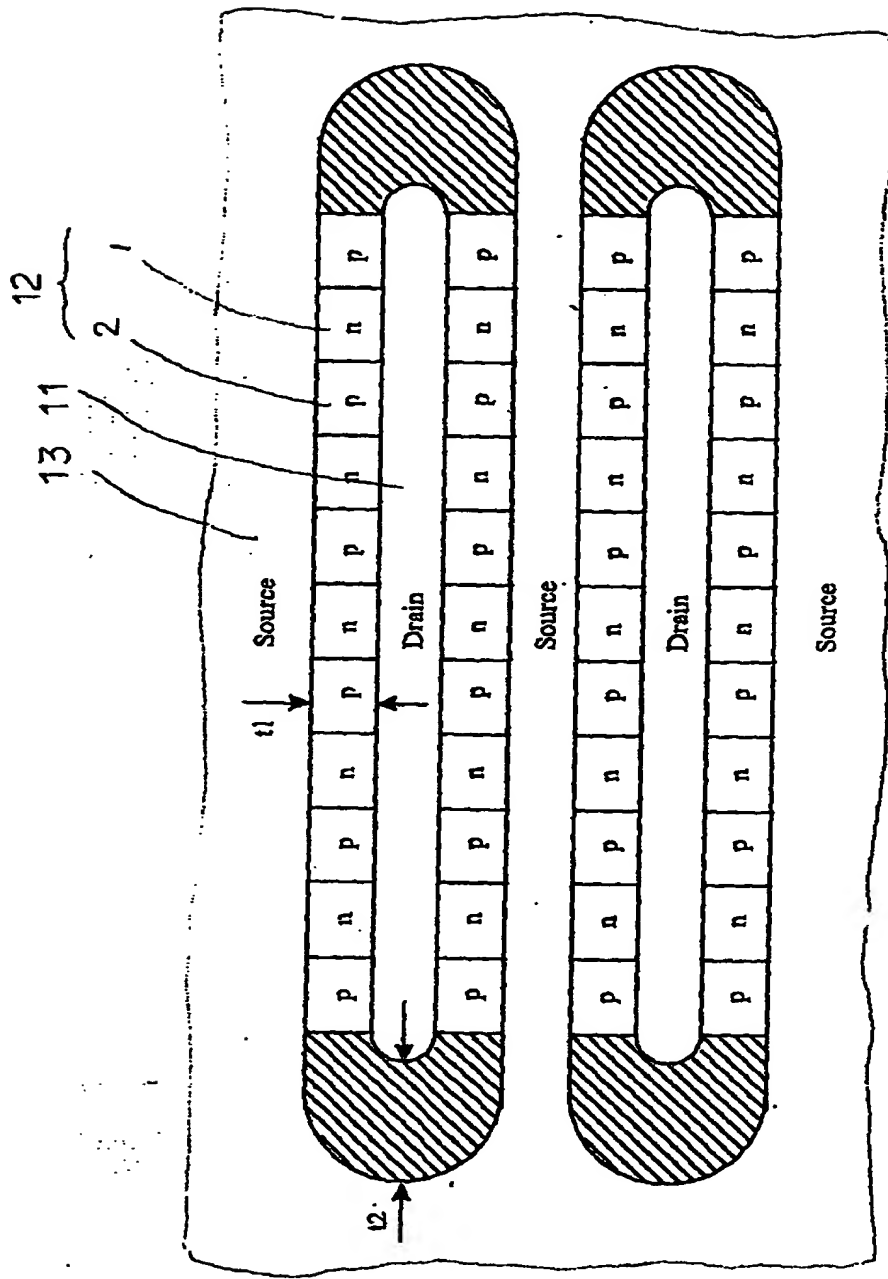
【図7】



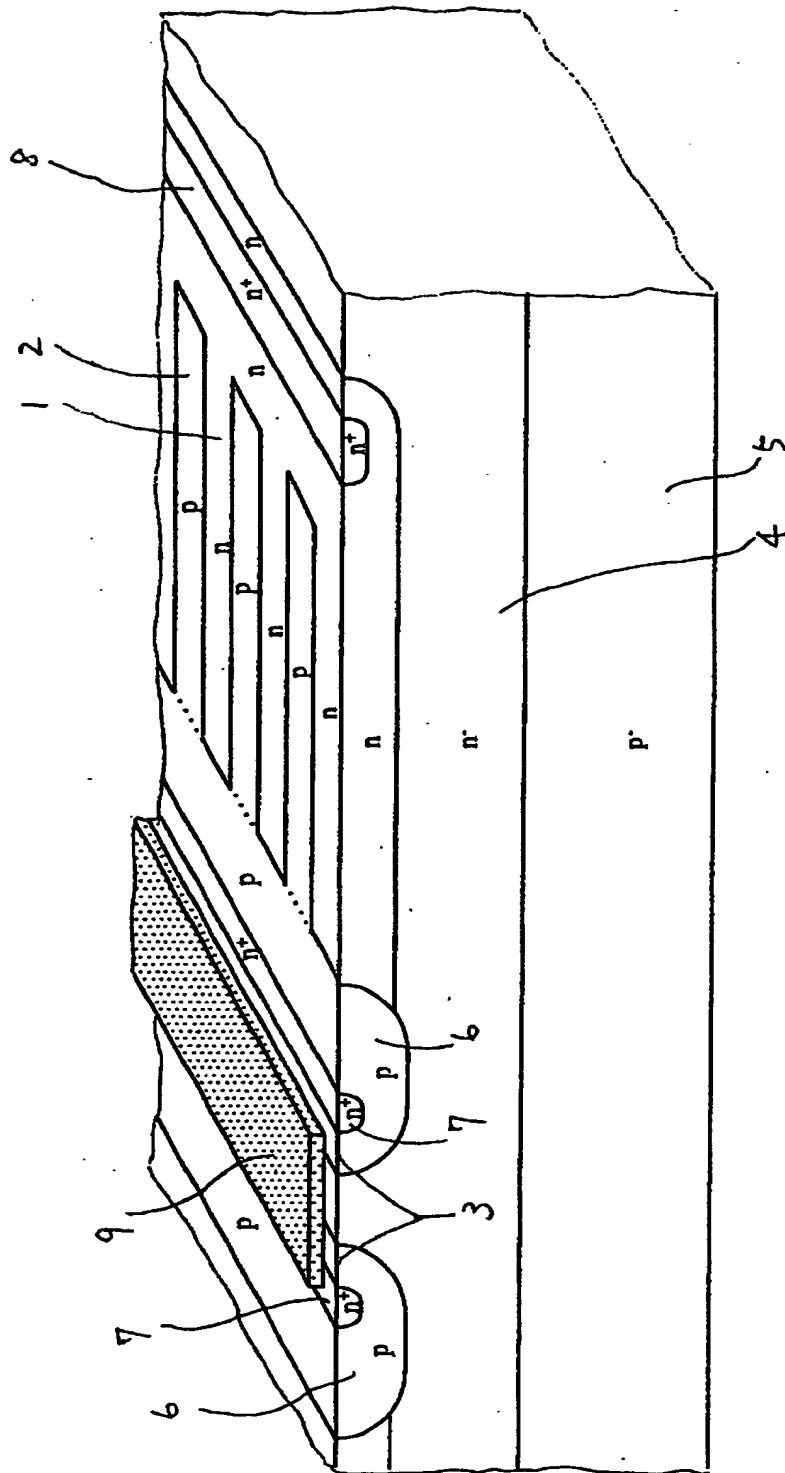
【図 8】



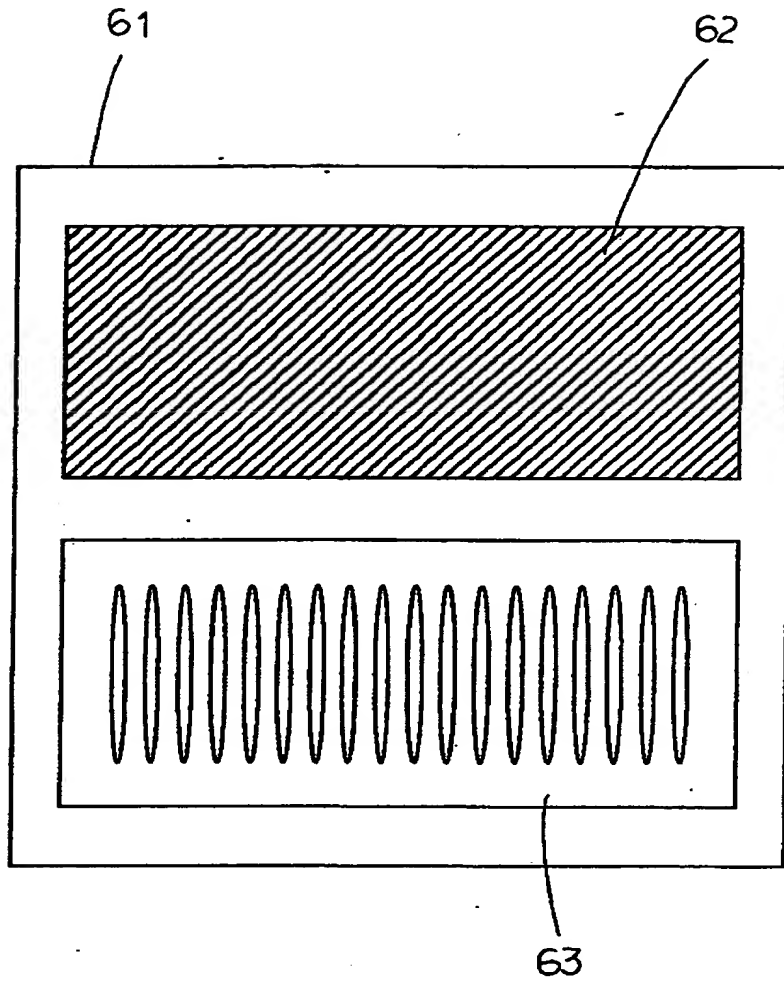
【図 9】



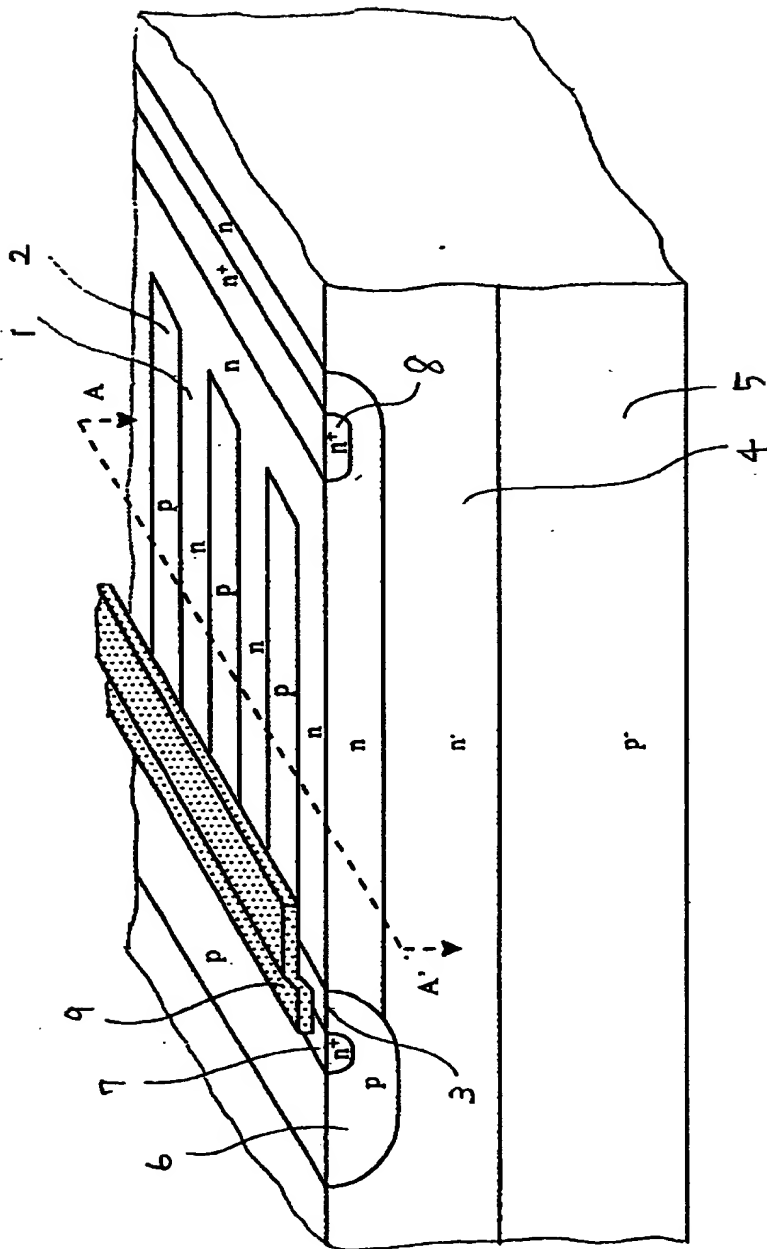
【図 10】



【図 1 1】

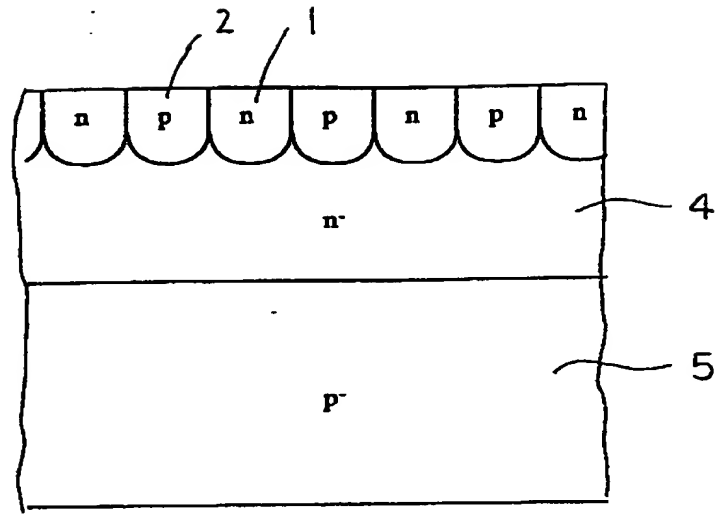


【図 12】

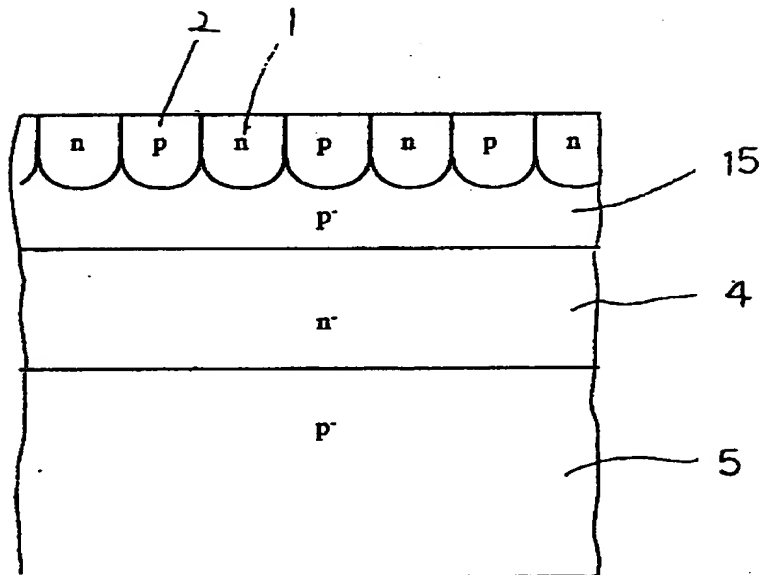


【図 1 3】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 オン状態では電流を流すとともに、オフ状態では空乏化する並列 p n 層を備えた横型超接合半導体素子において、並列 p n 層の形状の影響を明らかにし、高耐圧化を図る。

【解決手段】 並列 p n 層を閉ループとすると共に、曲線部分のピッチを直線部分のピッチと同等以下にする。

並列 p n 層の曲線部分の不純物濃度を直線部分のそれより低濃度とすることも有効である。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 3 4]

1. 変更年月日 1 9 9 0 年 9 月 5 日

[変更理由] 新規登録

住 所 神奈川県川崎市川崎区田辺新田 1 番 1 号

氏 名 富士電機株式会社